



JP11307437

Biblio

Page 1

Drawing



METHOD OF SURFACE PATTERNING FOR SEMICONDUCTOR MANUFACTURE

Patent Number: JP11307437
Publication date: 1999-11-05
Inventor(s): KO KEIKUN; KO TOGEN; KO KEIBU
Applicant(s): IND TECHNOL RES INST
Requested Patent: ☐ JP11307437
Application Number: JP19980119928 19980415
Priority Number(s):
IPC Classification: H01L21/027; G03F7/075; G03F7/26; H01L21/3065
EC Classification:
Equivalents: JP2932462B2

Abstract

PROBLEM TO BE SOLVED: To provide a method of surface patterning for submicron semiconductor manufacture using an ordinary lithography machine.
SOLUTION: A method of surface patterning for semiconductor manufacture which applies a photoresist layer 200 to a substrate 100 and then exposes the photoresist layer 200, thereby forming a silicon-containing photoresist layer 240 on the exposed region, and etches this photoresist layer 240 to form on the photoresist layer 200 a pattern whose absolute size is smaller than the absolute size of the photoresist layer 240 on the exposed region of the photoresist layer 200. This method then removes the photoresist layer 200 which does not lie under the silicon-containing photoresist layer 240.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平11-307437

(43) 公開日 平成11年(1999)11月5日

(51) Int.Cl. ⁶	識別記号	F I	
H 0 1 L 21/027		H 0 1 L 21/30	5 7 3
G 0 3 F 7/075	5 2 1	G 0 3 F 7/075	5 2 1
	7/26		5 1 1
H 0 1 L 21/3065		H 0 1 L 21/30	5 7 5
		21/302	H
審査請求 有 請求項の数16 F D (全 13 頁)			

(21) 出願番号 特願平10-119928

(22) 出願日 平成10年(1998)4月15日

(71) 出願人 390023582

財団法人工業技術研究院

台湾新竹縣竹東鎮中興路四段195號

(72) 発明者 黄 經勲

台湾台中市西屯區甘州五街29巷10號

(72) 発明者 ▲こう▼ 東元

台湾中▲れき▼市大仁五街35號7樓

(72) 発明者 黄 桂武

台湾高雄市三民區金山路245巷4號

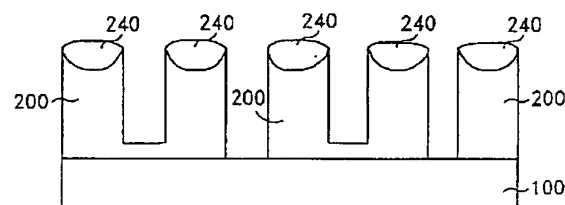
(74) 代理人 弁理士 竹本 松司 (外4名)

(54) 【発明の名称】 半導体製造の表面パターンニング方法

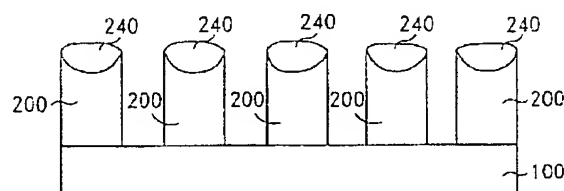
(57) 【要約】

【課題】 サブミクロン半導体製造の表面パターンニング方法の提供。

【解決手段】 フォトレジスト層200を基板100の上に塗布し、該フォトレジスト層200を露光させ、シリコンを含有するフォトレジスト層240を、該フォトレジスト層200の露光領域の上に形成し、該シリコンを含有するフォトレジスト層240をエッチングして該フォトレジスト層200の上に、絶対寸法が該フォトレジスト層200の露光領域の該シリコンを含有するフォトレジスト層240の絶対寸法より小さいパターンを形成し、該シリコンを含有するフォトレジスト層240の下に位置しない該フォトレジスト層200を除去し、以上を包括してなる、半導体製造の表面パターンニング方法としている。



A



B

【特許請求の範囲】

【請求項1】 フォトレジスト層200を基板100の上に塗布し、該フォトレジスト層200を露光させ、シリコンを含有するフォトレジスト層240を、該フォトレジスト層200の露光領域の上に形成し、該シリコンを含有するフォトレジスト層240をエッチングして該フォトレジスト層200の上に、絶対寸法が該フォトレジスト層200の露光領域の該シリコンを含有するフォトレジスト層240の絶対寸法より小さいパターンを形成し、該シリコンを含有するフォトレジスト層240の下に位置しない該フォトレジスト層200を除去し、以上を包括してなる、半導体製造の表面パターンニング方法。

【請求項2】 前記基板100を半導体素子とする、請求項1に記載の半導体製造の表面パターンニング方法。

【請求項3】 前記基板100を薄膜とする、請求項1に記載の半導体製造の表面パターンニング方法。

【請求項4】 前記基板100を半導体基板とする、請求項1に記載の半導体製造の表面パターンニング方法。

【請求項5】 前記フォトレジスト層200の材料を感光性ポリマーとする、請求項1に記載の半導体製造の表面パターンニング方法。

【請求項6】 前記シリコンを含有するフォトレジスト層240の形成は露光フォトレジスト層に対してシリル化反応を進行することとする、請求項1に記載の半導体製造の表面パターンニング方法。

【請求項7】 前記シリコンを含有するフォトレジスト層240をエッチングする方法及び条件は二酸化シリコンのエッチング方法と条件となす、請求項1に記載の半導体製造の表面パターンニング方法。

【請求項8】 前記フォトレジスト層200のエッチングには酸素プラズマを使用する、請求項1に記載の半導体製造の表面パターンニング方法。

【請求項9】 前記フォトレジスト層200のエッチングによりシリコンを含有するフォトレジスト層240の絶対寸法を減少する、請求項1に記載の半導体製造の表面パターンニング方法。

【請求項10】 フォトレジスト層200を基板100の上に塗布し、該フォトレジスト層200を露光させ、露光したフォトレジスト層200の上にシリコンを含有するフォトレジスト層240を形成し、該シリコンを含有するフォトレジスト層240をエッチングし、該シリコンを含有するフォトレジスト層のエッチング終点を制御し、エッチング工程の後のシリコンを含有するフォトレジスト層の絶対寸法を、該露光したフォトレジスト層200の上のシリコンを含有するフォトレジスト層240の絶対寸法より小さくする、以上を包括してなる基板のパターンの絶対寸法を制御する方法。

【請求項11】 前記基板100を半導体素子とする、請求項10に記載の基板のパターンの絶対寸法を制御す

る方法。

【請求項12】 前記基板100を薄膜とする、請求項10に記載の基板のパターンの絶対寸法を制御する方法。

【請求項13】 前記基板100を半導体基板とする、請求項10に記載の基板のパターンの絶対寸法を制御する方法。

【請求項14】 前記フォトレジスト層200の材料を感光性ポリマーとする、請求項10に記載の基板のパターンの絶対寸法を制御する方法。

【請求項15】 前記シリコンを含有するフォトレジスト層240の形成は露光したフォトレジスト層に対してシリル化反応を進行することとする、請求項10に記載の基板のパターンの絶対寸法を制御する方法。

【請求項16】 前記シリコンを含有するフォトレジスト層240をエッチングする方法及び条件は二酸化シリコンのエッチング方法と条件となす、請求項10に記載の基板のパターンの絶対寸法を制御する方法。

【請求項17】 前記フォトレジスト層200のエッチングには酸素プラズマを使用する、請求項10に記載の基板のパターンの絶対寸法を制御する方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一種のサブミクロン半導体製造の表面パターンニング方法に関する。

【0002】

【従来の技術】超LSIの製造過程では、半導体薄膜の線幅は1ミクロンより小さく、且つますます微細化が進んでおり、半導体素子の高集積化が進んでいる。集積回路の高集積化のために表面パターンニング技術は役立っており、サブミクロン半導体素子の製造に運用されて、サブミクロンパターンを容易にウエハー上に転写することができる。表面パターンニング技術は一種の、比較的進歩したリソグラフィ行程とされ、この方法は、線幅0.13～0.18ミクロンの半導体素子の製造に運用されて、フォトマスクのパターンをフォトレジスト層上に転写するのに用いられる。そのパターン転写は以下の行程で行われる。まず、フォトレジストをウエハーの表面に塗布し、その後、フォトレジストの上面部分を露光させ、露光の後、シリル化反応(Silylation reaction)技術により、露光したフォトレジストをシリコンを含む領域となし、一部のシリコンを含むフォトレジスト層を除去し、パターンをフォトレジスト上に形成する。これにより集積回路のパターンが画定され、且つパターン寸法も同時に決定される。この方法ではフォトレジスト層の表面に一つのパターンを画定するため、表面パターンニング技術と称される。

【0003】表面パターンニング技術を利用して集積回路のフォトレジストを露光させると、露光したフォトレジストのパターンは集積回路の地形の影響を受けない。こ

のようなパターン不変の原因は、パターンがフォトレジスト層の表面部分に形成され、このため、パターンの線幅が有効に制御されるためである。また、この表面パターンニングのもう一つの優れた点として、リソグラフィ工程の焦点深さ (depth of focus) を増加できることが挙げられる。

【0004】シリル化反応を利用してフォトレジスト層上にシリコンを含有するフォトレジスト層を形成するステップにおいて、このシリコンを含有するフォトレジスト層が集積回路のプラズママスクとされる。伝統的なフォトレジスト現像方式では、溶剤でフォトレジストの未露光部分 (或いは露光部分) が剥離されていた。これに対して、表面パターンニング技術で使用される露光方法は、酸素プラズマで未露光のフォトレジストを灰化して、プラズママスクを形成し、即ちシリコンを含有するフォトレジスト層をフォトレジスト層の表面に形成している。

【0005】表面パターンニング技術は近年来広く研究されているが、ただし、この技術には応用上の困難さもあった。例えば、シリル化技術では新たなフォトレジスト材料が重要であり、このフォトレジスト材料はシリル化工程においてシリル化されて二酸化シリコンを形成する材料とされる。また、リソグラフィ機械は極めて良好な解析能力を有するものでなければならない。ただし、フォトレジストのシリル化反応は、シリル化不純物の拡散反応であり、もし新たなフォトレジスト材料がなかったり、リソグラフィ機械の解析能力が低いと、フォトレジストのシリル化反応の制御が難しく、フォトレジスト上のパターンの線幅も制御しにくくなった。このため一般のフォトレジスト材料とリソグラフィ機械 (一般のリソグラフィ機械の解析能力は約0.2ミクロン) を使用した場合、表面パターンニング技術を絶対寸法が0.18ミクロンの素子の製造に運用するのは非常に難しい。このため新たなフォトレジスト表面パターンニング技術が必要とされていた。

【0006】伝統的なフォトレジストシリル化方法について以下に説明する。図1のAに示されるように、基板10が提供され、該基板10は集積回路、半導体素子、薄膜或いは半導体基板とされる。フォトレジスト20が該基板10の上を被覆し、該フォトレジスト20の厚さは1.8から2.0ミクロンの間とされ、シリル化反応の後、パターンがフォトレジスト20の表面に形成される。フォトレジスト20の厚さは一般の工程で使用されるものに比べて比較的厚いため、フォトレジスト20のパターンは基板10の地形に影響されない。且つフォトマスク30がフォトレジスト20の上を被覆し、フォトレジスト20はフォトマスク30を介して露光され、露光フォトレジスト24がフォトレジスト20上に形成される。

【0007】図1のBに示されるように、シリル化反応

を使用して、露光フォトレジスト24の表面の上に、シリコンを含有するフォトレジスト層28が形成され、このシリコンを含有するフォトレジスト層28がフォトレジスト20のプラズママスクとされ、フォトマスク30の図案がフォトレジスト24の上に転写される。

【0008】図1のCに示されるように、フォトレジスト20の未露光領域が蝕刻され、この蝕刻には酸素プラズマが使用され、シリコンを含有するフォトレジスト層28の下の方の非露光領域が保留され、基板10に必要なパターンが形成され、こうして表面パターンニング工程が完成する。

【0009】図1のAからCに示される表面パターンニング技術は、一般的な方法であり、このような周知の方法はフォトレジスト材料をシリル化することでフォトマスクパターンをフォトレジスト表面に転写するものである。

【0010】次に、一種のフォトレジスト材料の上にパターンを形成する表面パターンニング技術について説明する。図2のAを参照されたい。A中には基板100、フォトレジスト層200及びシリコンを含有するフォトレジスト層240が表示されている。フォトレジスト層200は基板の表面に位置し、シリコンを含有するフォトレジスト層240はフォトレジスト層200の表面に位置し、シリコンを含有するフォトレジスト層240の形成にはシリル化工程が利用される。図2のBに示されるように、二酸化シリコンのエッチング条件を利用し、シリコンを含有するフォトレジスト層240に対してエッチングを進行し、一部のフォトレジスト層200の表面をシリコンを含有するフォトレジスト層240により被覆させる。フォトレジスト層200のその他の表面はその他の材料により被覆せず、これにより、パターンがフォトレジスト層200の表面に形成される。このステップはブレイクスルーエッチング (Breakthrough etching) と称され、シリコンを含有するフォトレジスト層240はプラズママスクとされ酸素ガスにより蝕刻されない。

【0011】図2のA、Bに続くステップとして、図3のAを参照されたい。フォトレジスト層200の未被覆部分は上述のエッチング方法により除去される。このようなエッチング方法は一種のドライエッチング方法とされ、エッチングには酸素プラズマが使用され、このステップがフォトレジスト層200のメインエッチング工程とされ、大量の未被覆のフォトレジスト層200が除去されるが、少量の未被覆のフォトレジスト層200が基板100の表面に残留するため、別の蝕刻ステップにより基板100表面に残留する未被覆のフォトレジスト層200を除去する必要がある。図3のBに示されるように未被覆のフォトレジスト層200の残留部分は、蝕刻工程により完全に除去され、この蝕刻工程はフォトレジスト層200のオーバーエッチング工程 (over etch)

etching)とされ、エッチング方法はドライエッチングとされ、酸素プラズマを使用して行われる。オーバーエッチング工程の後、プラズママスクのパターンが決定され、パターンの絶対寸法はパターン転写工程と同時に確定される。

【0012】

【発明が解決しようとする課題】一般のリソグラフィー機械を使用すると、パターンの絶対寸法は0.2ミクロンより小さくすることはできず、ゆえに絶対寸法はこの寸法に制限され、このような制限は機械の解析能力に制限される。一般のリソグラフィー機械の解析能力はほぼ0.2ミクロンであり、機械の光源波長は約248nmである。このため、一般のリソグラフィー機械でサブミクロン素子の製造を進行するのは不可能であり、ゆえに、一般のリソグラフィー機械でサブミクロン素子を製造できる方法が求められていた。本考案はこの要求に応えるべくなされたものである。

【0013】

【課題を解決するための手段】請求項1の発明は、フォトレジスト層200を基板100の上に塗布し、該フォトレジスト層200を露光させ、シリコンを含有するフォトレジスト層240を、該フォトレジスト層200の露光領域の上に形成し、該シリコンを含有するフォトレジスト層240をエッチングして該フォトレジスト層200の上に、絶対寸法が該フォトレジスト層200の露光領域の該シリコンを含有するフォトレジスト層240の絶対寸法より小さいパターンを形成し、該シリコンを含有するフォトレジスト層240の下に位置しない該フォトレジスト層200を除去し、以上を包括してなる、半導体製造の表面パターンニング方法としている。

【0014】請求項2の発明は、前記基板100を半導体素子とする、請求項1に記載の半導体製造の表面パターンニング方法としている。

【0015】請求項3の発明は、前記基板100を薄膜とする、請求項1に記載の半導体製造の表面パターンニング方法としている。

【0016】請求項4の発明は、前記基板100を半導体基板とする、請求項1に記載の半導体製造の表面パターンニング方法としている。

【0017】請求項5の発明は、前記フォトレジスト層200の材料を感光性ポリマーとする、請求項1に記載の半導体製造の表面パターンニング方法としている。

【0018】請求項6の発明は、前記シリコンを含有するフォトレジスト層240の形成は露光フォトレジスト層に対してシリル化反応を進行することとする、請求項1に記載の半導体製造の表面パターンニング方法としている。

【0019】請求項7の発明は、前記シリコンを含有するフォトレジスト層240をエッチングする方法及び条件は二酸化シリコンのエッチング方法と条件となす、請

求項1に記載の半導体製造の表面パターンニング方法としている。

【0020】請求項8の発明は、前記フォトレジスト層200のエッチングには酸素プラズマを使用する、請求項1に記載の半導体製造の表面パターンニング方法としている。

【0021】請求項9の発明は、前記フォトレジスト層200のエッチングによりシリコンを含有するフォトレジスト層240の絶対寸法を減少する、請求項1に記載の半導体製造の表面パターンニング方法としている。

【0022】請求項10の発明は、フォトレジスト層200を基板100の上に塗布し、該フォトレジスト層200を露光させ、露光したフォトレジスト層200の上にシリコンを含有するフォトレジスト層240を形成し、該シリコンを含有するフォトレジスト層240をエッチングし、該シリコンを含有するフォトレジスト層のエッチング終点を制御し、エッチング工程の後のシリコンを含有するフォトレジスト層の絶対寸法を、該露光したフォトレジスト層200の上のシリコンを含有するフォトレジスト層240の絶対寸法より小さくする、以上を包括してなる基板のパターンの絶対寸法を制御する方法としている。

【0023】請求項11の発明は、前記基板100を半導体素子とする、請求項10に記載の基板のパターンの絶対寸法を制御する方法としている。

【0024】請求項12の発明は、前記基板100を薄膜とする、請求項10に記載の基板のパターンの絶対寸法を制御する方法としている。

【0025】請求項13の発明は、前記基板100を半導体基板とする、請求項10に記載の基板のパターンの絶対寸法を制御する方法としている。

【0026】請求項14の発明は、前記フォトレジスト層200の材料を感光性ポリマーとする、請求項10に記載の基板のパターンの絶対寸法を制御する方法としている。

【0027】請求項15の発明は、前記シリコンを含有するフォトレジスト層240の形成は露光したフォトレジスト層に対してシリル化反応を進行することとする、請求項10に記載の基板のパターンの絶対寸法を制御する方法としている。

【0028】請求項16の発明は、前記シリコンを含有するフォトレジスト層240をエッチングする方法及び条件は二酸化シリコンのエッチング方法と条件となす、請求項10に記載の基板のパターンの絶対寸法を制御する方法としている。

【0029】請求項17の発明は、前記フォトレジスト層200のエッチングには酸素プラズマを使用する、請求項10に記載の基板のパターンの絶対寸法を制御する方法としている。

【0030】

【発明の実施の形態】本発明のサブミクロン半導体製造の表面パターンニング方法は以下を包括し、即ち、基板を提供し、該基板の表面にフォトレジストを塗布し、その後、フォトマスクを用いてフォトレジスト層に対して、一般の、機械の光源波長が248nmより大きくないリソグラフィー機械を使用して露光を進行し、フォトレジストを露光させることでシリル化反応を進行させ、シリコンを含有するフォトレジスト層をフォトレジスト層の表面に形成し、その後、シリコンを含有するフォトレジスト層をエッチングしてプラズママスクを形成し、該プラズママスクをシリコンを含有するフォトレジスト層で組成してフォトレジスト層の未露光部分を被覆しないものとし、次に、エッチング工程を二つのステップ、即ち、ブレイクスルーエッチングとオーバーブレイクスルーエッチングを以て進行し、ブレイクスルーエッチング工程の後、オーバーブレイクスルーエッチングを同じ機械中で継続して進行し、オーバーブレイクスルーエッチングで、シリコンを含有するフォトレジスト層の絶対寸法を約0.18ミクロンの寸法まで短縮し、この二つのエッチングステップを二酸化シリコンのエッチング条件で進行し、最後に、基板に残った未露光のフォトレジスト材料を、酸素プラズマドライエッチングにより除去し、基板上にサブミクロンのフォトレジストパターンを形成し、以上を包括する方法としている。

【0031】

【実施例】以下に本発明の望ましい実施例について説明するが、該実施例は本発明の請求範囲を限定するものではない。本発明の技術は表面パターンニング技術に属し、フォトマスクのパターンをフォトレジスト層に転写するのに応用され、該パターンは金属線のパターン、接触孔のパターン或いはトランジスタのアクティブ領域パターンとされ、本発明はそれらのパターン形成のためのリソグラフィー工程に応用されうる。

【0032】図4のAに示されるように、本発明ではまず基板100を提供する。該基板100は集積回路、半導体素子、薄膜或いは半導体基板とされる。さらにフォトレジスト層200で基板100上を被覆する。該フォトレジスト層200の厚さは2000から10000オングストロームの間とされ、フォトレジスト層200の厚さは一般のリソグラフィー工程で使用されるフォトレジストの厚さより厚く、フォトレジスト層200の組成材料は感光性ポリマーとされる。本実施例では、使用するフォトレジスト材料はネガ型とされる。フォトレジスト層200はフォトマスクを介して露光させ、露光機械の光源波長は約248nm以下とする。上述の光源を使用したリソグラフィー機械の解析能力は約0.2ミクロンであり、これによりフォトレジスト層200の露光領域の絶対寸法は約0.2ミクロンとなる。

【0033】シリル化反応工程で、露光したフォトレジスト層200をシリコンを含有するフォトレジスト層に

変換し、フォトレジスト層200の上面に二酸化シリコン材料を形成し、シリコンを含有するフォトレジスト層をフォトレジスト層200の表面上に形成する。ゆえにこのフォトレジスト層200に対するシリル化反応は一種の化学反応である。

【0034】シリコンを含有するフォトレジスト層240の地形は平坦ではなく、シリコンを含有するフォトレジスト層240が山谷形を呈し、フォトレジスト層200の未露光領域はこの山谷形の部分の底部である。

【0035】次に、図4のBに示されるように、ドライエッチング方法を用いて、シリコンを含有するフォトレジスト層240に対するエッチングを進行して未露光のフォトレジスト表面のシリコンを含有するフォトレジスト層240を除去し、一つのパターンをフォトレジスト層200の上に形成する。該パターンの絶対寸法は約0.2ミクロンであり、パターン形成のためのエッチング方法はプラズマエッチングとする。例えば、RIEは実行可能な方法であり、このエッチングの条件は二酸化シリコンのエッチング条件となす。このエッチングステップはブレイクスルーエッチングと称される。

【0036】図4のCに示されるように、シリコンを含有するフォトレジスト層240を連続してエッチングする。このエッチングステップはオーバーブレイクスルーエッチングと称される。上述のブレイクスルーエッチングとこのオーバーブレイクスルーエッチングの二つのエッチングは同一のエッチング反応室で進行し、第2のエッチング工程は第1のエッチング工程の反応時間より長くし、エッチング工程の条件を改変せず、一部のシリコンを含有するフォトレジスト層240を第2のエッチング工程で除去して、シリコンを含有するフォトレジスト層のパターンの絶対寸法を縮小する。このパターンの絶対寸法は第2のエッチング工程の後に約0.18ミクロンとなる。こうしてパターンの絶対寸法を一般のリソグラフィー機械の中で短縮し、且つリソグラフィー機械の光源を改変せず、エッチング工程条件も改変せず、本発明によりエッチング工程の時間を長くするだけで、パターンの絶対寸法を適当に縮小可能である。

【0037】図5のAは図4のCに続く本発明の工程表示図である。フォトレジスト層200に対してエッチング反応を進行し、シリコンを含有するフォトレジスト層240により被覆されていないフォトレジスト層200を除去する。このエッチングステップは異方性エッチング工程とし、酸素プラズマを用いて、フォトレジスト材料を有効に蝕刻する。

【0038】図5のBは図5のAに続く本発明の工程表示図である。ドライエッチング、例えば酸素プラズマエッチングにより完全に基板100表面にあるフォトレジスト層300を除去する。このステップをフォトレジスト層300のオーバーエッチング工程と称し、基板100表面に残留するフォトレジスト材料を除去し、シリコ

ンを含有するフォトレジスト層240とシリコンを含有するフォトレジスト層240の下のフォトレジスト層200を基板100のプラズママスクとなす。こうして一つのパターンを基板100の表面に形成する。基板100のパターンはプラズママスクにより確定され、パターンの絶対寸法は約0.18ミクロンとなる。

【0039】一つのフォトレジスト層200曲線の断面を図6中に示す。曲線A1はシリル化反応の後に形成されるもの、曲線A2は第1のエッチング工程（ブレイクスルーエッチング工程）の後に形成されるもの、曲線A3は第2のエッチング工程（オーバーブレイクスルーエッチング工程）の後に形成されるもの、曲線Bはフォトレジスト層200の未露光領域の曲線を示す。図6には、パターンの絶対寸法が表示され、第1のエッチング工程の後、パターンの絶対寸法はD1、第2のエッチング工程の後、パターンの絶対寸法はD2で表示される。明らかに、D1はD2より大きく、なぜなら一部のシリコンを含有するフォトレジスト層がオーバーブレイクスルーエッチングで除去されるために、ブレイクスルーエッチング時間を増加することで確実にパターンの絶対寸法を縮小できるためである。

【0040】

【発明の効果】本発明により一般のリソグラフィー機械を使用したサブミクロン半導体製造の表面パターンニング方法が提供された。

【図面の簡単な説明】

【図1】従来の表面パターンニング方法表示図であり、その中、Aは基板上に露光フォトレジストが形成された状態を、Bは基板上にシリコンを含有するフォトレジスト層が形成された状態を、Cは基板上に未露光フォトレジストがエッチングされた状態をそれぞれ示している。

【図2】フォトレジスト材料の上にパターンを形成する従来の表面パターンニング技術説明断面図であり、その中、Aは基板上にフォトレジストが形成されフォトレジ

スト上にシリコンを含有するフォトレジスト層が形成された状態を示し、Bはシリコンを含有するフォトレジスト層に対するブレイクスルーエッチングを示している。

【図3】フォトレジスト材料の上にパターンを形成する従来の表面パターンニング技術説明断面図であり、図2の後の工程を示し、その中、Aは基板の上のフォトレジスト層に対するメインエッチング工程を示し、Bは基板の上のフォトレジスト層に対するオーバーエッチング工程を示す。

【図4】本発明の方法説明断面図であり、その中、Aは基板上にフォトレジスト層が形成されフォトレジスト層上にシリコンを含有するフォトレジスト層が形成された状態を示し、Bはシリコンを含有するフォトレジスト層に対するブレイクスルーエッチング工程を示し、Cはシリコンを含有するフォトレジスト層に対するオーバーブレイクスルーエッチング工程を示す。

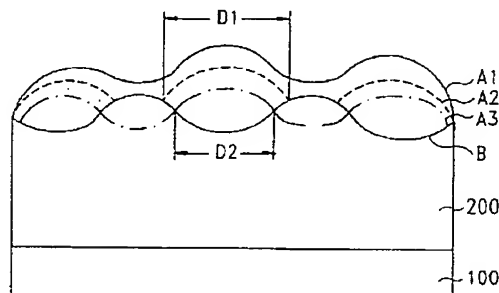
【図5】本発明の図4に続く方法説明断面図であり、その中、Aは基板上のフォトレジスト層に対するメインエッチング工程を示し、Bは基板上のフォトレジスト層に対するオーバーエッチング工程を示している。

【図6】本発明によるフォトレジスト層のエッチング曲線表示図であり、このエッチング曲線はフォトレジストの曲線と、フォトレジストのメインエッチングの後の曲線、及びフォトレジストのオーバーエッチング後の曲線を包括している。

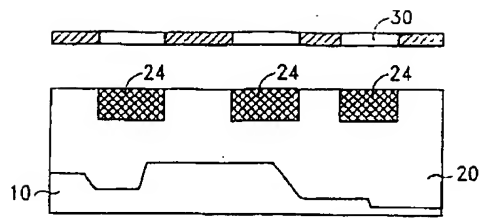
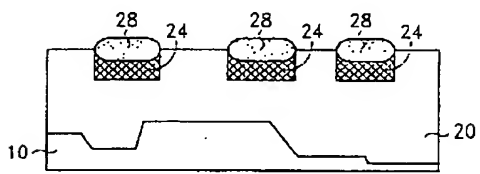
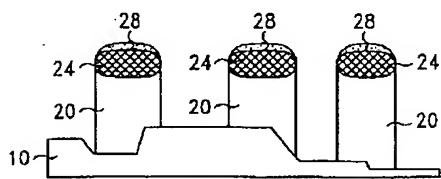
【符号の説明】

- 100 基板
- 200 フォトレジスト層
- 240 シリコンを含有するフォトレジスト層
- 10 基板
- 20 フォトレジスト
- 30 フォトマスク
- 24 露光フォトレジスト
- 28 シリコンを含有するフォトレジスト層

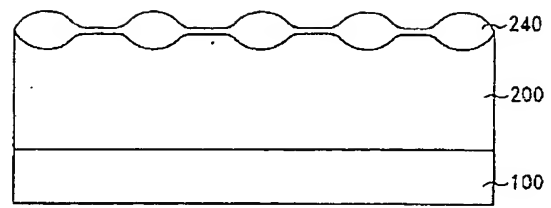
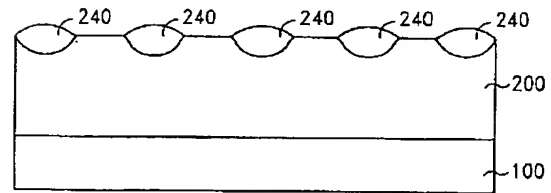
【図6】



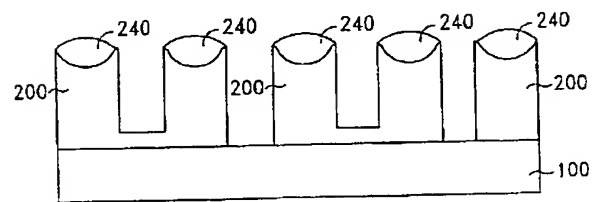
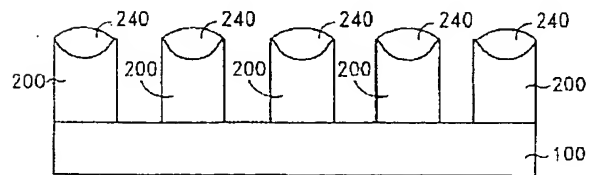
【図1】

**A****B****C**

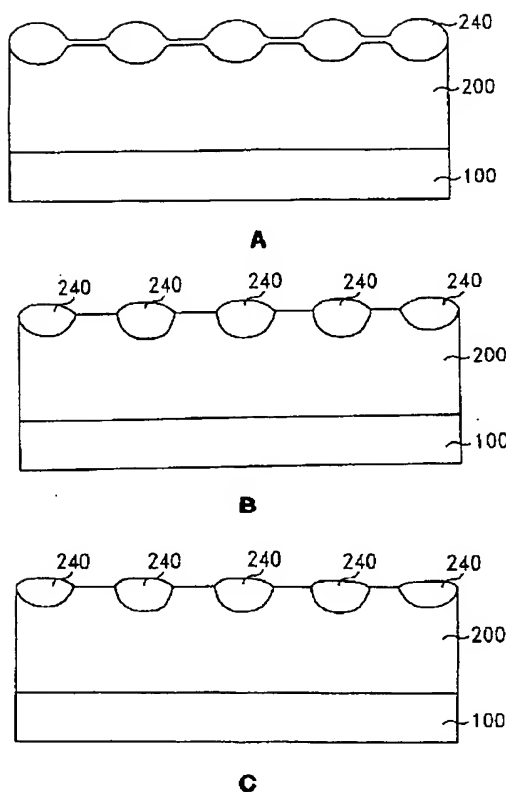
【図2】

**A****B**

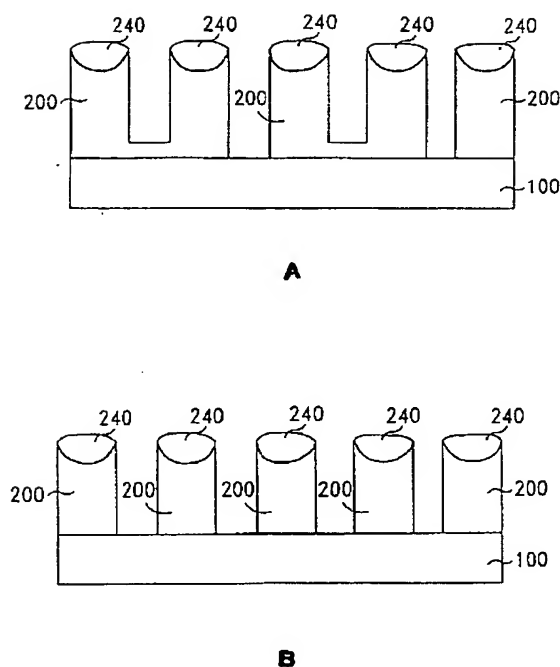
【図3】

**A****B**

【図4】



【図5】



【手続補正書】

【提出日】平成11年2月15日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】半導体製造の表面パターニング方法

【特許請求の範囲】

【請求項1】 フォトリソ層(200)を基板(100)の上に塗布し、該フォトリソ層(200)を露光させ、シリコンを含有するフォトリソ層(240)を、該フォトリソ層(200)の露光領域上に形成し、該シリコンを含有するフォトリソ層(240)をエッチングして該シリコンを含有するフォトリソ層(240)の絶対寸法を小さくし、該シリコンを含有するフォトリソ層(240)の下に位置しない該フォトリソ層(200)を除去し、以上を包括してなる、半導体製造の表面パターニング方法。

【請求項2】 前記基板(100)を半導体素子とする、請

求項1に記載の半導体製造の表面パターニング方法。

【請求項3】 前記基板(100)を薄膜とする、請求項1に記載の半導体製造の表面パターニング方法。

【請求項4】 前記基板(100)を半導体基板とする、請求項1に記載の半導体製造の表面パターニング方法。

【請求項5】 前記フォトリソ層(200)の材料を感光性ポリマーとする、請求項1に記載の半導体製造の表面パターニング方法。

【請求項6】 前記シリコンを含有するフォトリソ層(240)の形成は露光フォトリソ層に対してシリル化反応を進行することとする、請求項1に記載の半導体製造の表面パターニング方法。

【請求項7】 前記シリコンを含有するフォトリソ層(240)をエッチングする方法及び条件は二酸化シリコンのエッチング方法と条件となす、請求項1に記載の半導体製造の表面パターニング方法。

【請求項8】 前記フォトリソ層(200)のエッチングには酸素プラズマを使用する、請求項1に記載の半導体製造の表面パターニング方法。

【請求項9】 フォトリソ層(200)を基板(100)の

上に塗布し、該フォトレジスト層(200)を露光させ、フォトレジスト層(200)の上にシリコンを含有するフォトレジスト層(240)を形成し、該シリコンを含有するフォトレジスト層(240)をエッチングし、該シリコンを含有するフォトレジスト層240のエッチング終点を制御し、エッチング工程の後のシリコンを含有するフォトレジスト層の絶対寸法を小さくする、以上を包括してなる基板のパターンの絶対寸法を制御する方法。

【請求項10】 前記基板(100)を半導体素子とする、請求項9に記載の基板のパターンの絶対寸法を制御する方法。

【請求項11】 前記基板(100)を薄膜とする、請求項9に記載の基板のパターンの絶対寸法を制御する方法。

【請求項12】 前記基板(100)を半導体基板とする、請求項9に記載の基板のパターンの絶対寸法を制御する方法。

【請求項13】 前記フォトレジスト層(200)の材料を感光性ポリマーとする、請求項9に記載の基板のパターンの絶対寸法を制御する方法。

【請求項14】 前記シリコンを含有するフォトレジスト層(240)の形成は露光フォトレジスト層に対してシリル化反応を進行することとする、請求項9に記載の基板のパターンの絶対寸法を制御する方法。

【請求項15】 前記シリコンを含有するフォトレジスト層(240)をエッチングする方法及び条件は二酸化シリコンのエッチング方法と条件となす、請求項9に記載の基板のパターンの絶対寸法を制御する方法。

【請求項16】 前記フォトレジスト層(200)のエッチングには酸素プラズマを使用する、請求項9に記載の基板のパターンの絶対寸法を制御する方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一種のサブミクロン半導体製造の表面パターンニング方法に関する。

【0002】

【従来の技術】超LSIの製造過程では、半導体薄膜の線幅は1ミクロンより小さく、且つますます微細化が進んでおり、半導体素子の高集積化が進んでいる。集積回路の高集積化のために表面パターンニング技術は役立っており、サブミクロン半導体素子の製造に運用されて、サブミクロンパターンを容易にウエハー上に転写することができる。表面パターンニング技術は一種の、比較的進歩したリソグラフィー行程とされ、この方法は、線幅0.13~0.18ミクロンの半導体素子の製造に運用されて、フォトマスクのパターンをフォトレジスト層上に転写するのに用いられる。そのパターン転写は以下の行程で行われる。まず、フォトレジストをウエハーの表面に塗布し、その後、フォトレジストの上面部分を露光させ、露光の後、シリル化反応(Silylation reaction)技術により、露光したフォトレジス

トをシリコンを含む領域となし、一部のシリコンを含むフォトレジスト層を除去し、パターンをフォトレジスト上に形成する。これにより集積回路のパターンが画定され、且つパターンの寸法も同時に決定される。この方法ではフォトレジスト層の表面に一つのパターンを画定するため、表面パターンニング技術と称される。

【0003】表面パターンニング技術を利用して集積回路のフォトレジストを露光させると、露光したフォトレジストのパターンは集積回路の地形の影響を受けない。このようなパターン不変の原因は、パターンがフォトレジスト層の表面部分に形成され、このため、パターンの線幅が有効に制御されるためである。また、この表面パターンニングのもう一つの優れた点として、リソグラフィー工程の焦点深さ(depth of focus)を増加できることが挙げられる。

【0004】シリル化反応を利用してフォトレジスト層上にシリコンを含有するフォトレジスト層を形成するステップにおいて、このシリコンを含有するフォトレジスト層が集積回路のプラズママスクとされる。伝統的なフォトレジスト現像方式では、溶剤でフォトレジストの未露光部分(或いは露光部分)が剥離されていた。これに対して、表面パターンニング技術で使用される露光方法は、酸素プラズマで未露光のフォトレジストを灰化して、プラズママスクを形成し、即ちシリコンを含有するフォトレジスト層をフォトレジスト層の表面に形成している。

【0005】表面パターンニング技術は近年来広く研究されているが、ただし、この技術には応用上の困難さもあった。例えば、シリル化技術では新たなフォトレジスト材料が重要であり、このフォトレジスト材料はシリル化工程においてシリル化されて二酸化シリコンを形成する材料とされる。また、リソグラフィー機械は極めて良好な解析能力を有するものでなければならない。ただし、フォトレジストのシリル化反応は、シリル化不純物の拡散反応であり、もし新たなフォトレジスト材料がなかったり、リソグラフィー機械の解析能力が低いと、フォトレジストのシリル化反応の制御が難しく、フォトレジスト上のパターンの線幅も制御しにくくなった。このため一般のフォトレジスト材料とリソグラフィー機械(一般のリソグラフィー機械の解析能力は約0.2ミクロン)を使用した場合、表面パターンニング技術を絶対寸法が0.18ミクロンの素子の製造に運用するのは非常に難しい。このため新たなフォトレジスト表面パターンニング技術が必要とされていた。

【0006】伝統的なフォトレジストシリル化方法について以下に説明する。図1のAに示されるように、基板10が提供され、該基板10は集積回路、半導体素子、薄膜或いは半導体基板とされる。フォトレジスト20が該基板10の上を被覆し、該フォトレジスト20の厚さは1.8から2.0ミクロンの間とされ、シリル化反応

の後、パターンがフォトレジスト20の表面に形成される。フォトレジスト20の厚さは一般の工程で使用されるものに比べて比較的厚いため、フォトレジスト20のパターンは基板10の地形に影響されない。且つフォトマスク30がフォトレジスト20の上を被覆し、フォトレジスト20はフォトマスク30を介して露光され、露光フォトレジスト24がフォトレジスト20上に形成される。

【0007】図1のBに示されるように、シリル化反応を使用して、露光フォトレジスト24の表面の上に、シリコンを含有するフォトレジスト層28が形成され、このシリコンを含有するフォトレジスト層28がフォトレジスト20のプラズママスクとされ、フォトマスク30の図案がフォトレジスト24の上に転写される。

【0008】図1のCに示されるように、フォトレジスト20の未露光領域が蝕刻され、この蝕刻には酸素プラズマが使用され、シリコンを含有するフォトレジスト層28の下の方の非露光領域が保留され、基板10に必要なパターンが形成され、こうして表面パターンニング工程が完成する。

【0009】図1のAからCに示される表面パターンニング技術は、一般的な方法であり、このような周知の方法はフォトレジスト材料をシリル化することでフォトマスクパターンをフォトレジスト表面に転写するものである。

【0010】次に、一種のフォトレジスト材料の上にパターンを形成する表面パターンニング技術について説明する。図2のAを参照されたい。A中には基板100、フォトレジスト層200及びシリコンを含有するフォトレジスト層240が表示されている。フォトレジスト層200は基板の表面に位置し、シリコンを含有するフォトレジスト層240はフォトレジスト層200の表面に位置し、シリコンを含有するフォトレジスト層240の形成にはシリル化工程が利用される。図2のBに示されるように、二酸化シリコンのエッチング条件を利用し、シリコンを含有するフォトレジスト層240に対してエッチングを進行し、一部のフォトレジスト層200の表面をシリコンを含有するフォトレジスト層240により被覆させる。フォトレジスト層200のその他の表面はその他の材料により被覆せず、これにより、パターンがフォトレジスト層200の表面に形成される。このステップはブレイクスルーエッチング(Breakthrough etching)と称され、シリコンを含有するフォトレジスト層240はプラズママスクとされ酸素ガスにより蝕刻されない。

【0011】図2のA、Bに続くステップとして、図3のAを参照されたい。フォトレジスト層200の未被覆部分は上述のエッチング方法により除去される。このようなエッチング方法は一種のドライエッチング方法とされ、エッチングには酸素プラズマが使用され、このステ

ップがフォトレジスト層200のメインエッチング工程とされ、大量の未被覆のフォトレジスト層200が除去されるが、少量の未被覆のフォトレジスト層200が基板100の表面に残留するため、別の蝕刻ステップにより基板100表面に残留する未被覆のフォトレジスト層200を除去する必要がある。図3のBに示されるように未被覆のフォトレジスト層200の残留部分は、蝕刻工程により完全に除去され、この蝕刻工程はフォトレジスト層200のオーバーエッチング工程(over etching)とされ、エッチング方法はドライエッチングとされ、酸素プラズマを使用して行われる。オーバーエッチング工程の後、プラズママスクのパターンが決定され、パターンの絶対寸法はパターン転写工程と同時に確定される。

【0012】

【発明が解決しようとする課題】一般のリソグラフィー機械を使用すると、パターンの絶対寸法は0.2ミクロンより小さくすることはできず、ゆえに絶対寸法はこの寸法に制限され、このような制限は機械の解析能力に制限される。一般のリソグラフィー機械の解析能力はほぼ0.2ミクロンであり、機械の光源波長は約248nmである。このため、一般のリソグラフィー機械でサブミクロン素子の製造を進行するのは不可能であり、ゆえに、一般のリソグラフィー機械でサブミクロン素子を製造できる方法が求められていた。本考案はこの要求に応えるべくなされたものである。

【0013】

【課題を解決するための手段】請求項1の発明は、フォトレジスト層(200)を基板(100)の上に塗布し、該フォトレジスト層(200)を露光させることでシリコンを含有するフォトレジスト層(240)を、該フォトレジスト層(200)の露光領域上に形成し、該シリコンを含有するフォトレジスト層(240)をエッチングして該シリコンを含有するフォトレジスト層(240)の絶対寸法を小さくし、該シリコンを含有するフォトレジスト層(240)の下に位置しない該フォトレジスト層(200)を除去し、以上を包括してなる、半導体製造の表面パターンニング方法としている。

【0014】請求項2の発明は、前記基板(100)を半導体素子とする、請求項1に記載の半導体製造の表面パターンニング方法としている。

【0015】請求項3の発明は、前記基板(100)を薄膜とする、請求項1に記載の半導体製造の表面パターンニング方法としている。

【0016】請求項4の発明は、前記基板(100)を半導体基板とする、請求項1に記載の半導体製造の表面パターンニング方法としている。

【0017】請求項5の発明は、前記フォトレジスト層(200)の材料を感光性ポリマーとする、請求項1に記載の半導体製造の表面パターンニング方法としている。

【0018】請求項6の発明は、前記シリコンを含有するフォトレジスト層(240)の形成は露光フォトレジスト層に対してシリル化反応を進行することとする、請求項1に記載の半導体製造の表面パターンニング方法としている。

【0019】請求項7の発明は、前記シリコンを含有するフォトレジスト層(240)をエッチングする方法及び条件は二酸化シリコンのエッチング方法と条件となす、請求項1に記載の半導体製造の表面パターンニング方法としている。

【0020】請求項8の発明は、前記フォトレジスト層(200)のエッチングには酸素プラズマを使用する、請求項1に記載の半導体製造の表面パターンニング方法としている。

【0021】請求項9の発明は、フォトレジスト層(200)を基板(100)の上に塗布し、該フォトレジスト層(200)を露光させることで、フォトレジスト層(200)の上にシリコンを含有するフォトレジスト層(240)を形成し、該シリコンを含有するフォトレジスト層(240)をエッチングし、該シリコンを含有するフォトレジスト層240のエッチング終点を制御し、エッチング工程の後のシリコンを含有するフォトレジスト層の絶対寸法を小さくする、以上を包括してなる基板のパターンの絶対寸法を制御する方法としている。

【0022】請求項10の発明は、前記基板(100)を半導体素子とする、請求項9に記載の基板のパターンの絶対寸法を制御する方法としている。

【0023】請求項11の発明は、前記基板(100)を薄膜とする、請求項9に記載の基板のパターンの絶対寸法を制御する方法としている。

【0024】請求項12の発明は、前記基板(100)を半導体基板とする、請求項9に記載の基板のパターンの絶対寸法を制御する方法としている。

【0025】請求項13の発明は、前記フォトレジスト層(200)の材料を感光性ポリマーとする、請求項9に記載の基板のパターンの絶対寸法を制御する方法としている。

【0026】請求項14の発明は、前記シリコンを含有するフォトレジスト層(240)の形成は露光したフォトレジスト層に対してシリル化反応を進行することとする、請求項9に記載の基板のパターンの絶対寸法を制御する方法としている。

【0027】請求項15の発明は、前記シリコンを含有するフォトレジスト層(240)をエッチングする方法及び条件は二酸化シリコンのエッチング方法と条件となす、請求項9に記載の基板のパターンの絶対寸法を制御する方法としている。

【0028】請求項16の発明は、前記フォトレジスト層(200)のエッチングには酸素プラズマを使用する、請求項9に記載の基板のパターンの絶対寸法を制御する方

法としている。

【0029】

【発明の実施の形態】本発明のサブミクロン半導体製造の表面パターンニング方法は以下を包括し、即ち、基板を提供し、該基板の表面にフォトレジストを塗布し、その後、フォトマスクを用いてフォトレジスト層に対して、一般の、機械の光源波長が248nmより大きくないリソグラフィー機械を使用して露光を進行し、フォトレジストを露光させることでシリル化反応を進行させ、シリコンを含有するフォトレジスト層をフォトレジスト層の表面に形成し、その後、シリコンを含有するフォトレジスト層をエッチングしてプラズママスクを形成し、該プラズママスクをシリコンを含有するフォトレジスト層で組成してフォトレジスト層の未露光部分を被覆しないものとし、次に、エッチング工程を二つのステップ、即ち、ブレイクスルーエッチングとオーバーブレイクスルーエッチングを以て進行し、ブレイクスルーエッチング工程の後、オーバーブレイクスルーエッチングを同じ機械中で継続して進行し、オーバーブレイクスルーエッチングで、シリコンを含有するフォトレジスト層の絶対寸法を約0.18ミクロンの寸法まで短縮し、この二つのエッチングステップを二酸化シリコンのエッチング条件で進行し、最後に、基板に残った未露光のフォトレジスト材料を、酸素プラズマドライエッチングにより除去し、基板上にサブミクロンのフォトレジストパターンを形成し、以上を包括する方法としている。

【0030】

【実施例】以下に本発明の望ましい実施例について説明するが、該実施例は本発明の請求範囲を限定するものではない。本発明の技術は表面パターンニング技術に属し、フォトマスクのパターンをフォトレジスト層に転写するのに応用され、該パターンは金属線のパターン、接触孔のパターン或いはトランジスタのアクティブ領域パターンとされ、本発明はそれらのパターン形成のためのリソグラフィー工程に応用される。

【0031】図4のAに示されるように、本発明ではまず基板100を提供する。該基板100は集積回路、半導体素子、薄膜或いは半導体基板とされる。さらにフォトレジスト層200で基板100上を被覆する。該フォトレジスト層200の厚さは2000から10000オングストロームの間とされ、フォトレジスト層200の厚さは一般のリソグラフィー工程で使用されるフォトレジストの厚さより厚く、フォトレジスト層200の組成材料は感光性ポリマーとされる。本実施例では、使用するフォトレジスト材料はネガ型とされる。フォトレジスト層200はフォトマスクを介して露光させ、露光機械の光源波長は約248nm以下とする。上述の光源を使用したリソグラフィー機械の解析能力は約0.2ミクロンであり、これによりフォトレジスト層200の露光領域の絶対寸法は約0.2ミクロンとなる。

【0032】フォトレジスト層200を露光させることでその露光部分をシリル化反応によりシリコンを含有するフォトレジスト層に変換する。即ち、フォトレジスト層200の上面にシリコンを含有するフォトレジスト層を形成する。

【0033】シリコンを含有するフォトレジスト層240の地形は平坦ではなく、シリコンを含有するフォトレジスト層240が山谷形を呈し、フォトレジスト層200の未露光領域はこの山谷形の部分の底部である。

【0034】次に、図4のBに示されるように、ドライエッチング方法を用いて、シリコンを含有するフォトレジスト層240に対するエッチングを進行して未露光のフォトレジスト表面のシリコンを含有するフォトレジスト層240を除去し、一つのパターンをフォトレジスト層200の上に形成する。該パターンの絶対寸法は約0.2ミクロンであり、パターン形成のためのエッチング方法はプラズマエッチングとする。例えば、RIEは実行可能な方法であり、このエッチングの条件は二酸化シリコンのエッチング条件となす。このエッチングステップはブレイクスルーエッチングと称される。

【0035】図4のCに示されるように、シリコンを含有するフォトレジスト層240を連続してエッチングする。このエッチングステップはオーバーブレイクスルーエッチングと称される。上述のブレイクスルーエッチングとこのオーバーブレイクスルーエッチングの二つのエッチングは同一のエッチング反応室で進行し、第2のエッチング工程は第1のエッチング工程の反応時間より長くし、エッチング工程の条件を改変せず、一部のシリコンを含有するフォトレジスト層240を第2のエッチング工程で除去して、シリコンを含有するフォトレジスト層のパターンの絶対寸法を縮小する。このパターンの絶対寸法は第2のエッチング工程の後に約0.18ミクロンとなる。こうしてパターンの絶対寸法を一般のリソグラフィーマシンの中で短縮し、且つリソグラフィーマシンの光源を改変せず、エッチング工程条件も改変せず、本発明によりエッチング工程の時間を長くするだけで、パターンの絶対寸法を適当に縮小可能である。

【0036】図5のAは図4のCに続く本発明の工程表示図である。フォトレジスト層200に対してエッチング反応を進行し、シリコンを含有するフォトレジスト層240により被覆されていないフォトレジスト層200を除去する。このエッチングステップは異方性エッチング工程とし、酸素プラズマを用いて、フォトレジスト材料を有効に蝕刻する。

【0037】図5のBは図5のAに続く本発明の工程表示図である。ドライエッチング、例えば酸素プラズマエッチングにより完全に基板100表面にあるフォトレジスト層300を除去する。このステップをフォトレジスト層300のオーバーエッチング工程と称し、基板100表面に残留するフォトレジスト材料を除去し、シリコ

ンを含有するフォトレジスト層240とシリコンを含有するフォトレジスト層240の下にフォトレジスト層200を基板100のプラズママスクとなす。こうして一つのパターンを基板100の表面に形成する。基板100のパターンはプラズママスクにより確定され、パターンの絶対寸法は約0.18ミクロンとなる。

【0038】一つのフォトレジスト層200曲線の断面を図6中に示す。曲線A1はシリル化反応の後に形成されるもの、曲線A2は第1のエッチング工程（ブレイクスルーエッチング工程）の後に形成されるもの、曲線A3は第2のエッチング工程（オーバーブレイクスルーエッチング工程）の後に形成されるもの、曲線Bはフォトレジスト層200の未露光領域の曲線を示す。図6には、パターンの絶対寸法が表示され、第1のエッチング工程の後、パターンの絶対寸法はD1、第2のエッチング工程の後、パターンの絶対寸法はD2で表示される。明らかに、D1はD2より大きく、なぜなら一部のシリコンを含有するフォトレジスト層がオーバーブレイクスルーエッチングで除去されるために、ブレイクスルーエッチング時間を増加することで確実にパターンの絶対寸法を縮小できるためである。

【0039】

【発明の効果】本発明により一般のリソグラフィーマシンを使用したサブミクロン半導体製造の表面パターンニング方法が提供された。

【図面の簡単な説明】

【図1】従来の表面パターンニング方法表示図であり、その中、Aは基板の上に露光フォトレジストが形成された状態を、Bは基板の上にシリコンを含有するフォトレジスト層が形成された状態を、Cは基板の上に未露光フォトレジストがエッチングされた状態をそれぞれ示している。

【図2】フォトレジスト材料の上にパターンを形成する従来の表面パターンニング技術説明断面図であり、その中、Aは基板上にフォトレジストが形成されフォトレジスト上にシリコンを含有するフォトレジスト層が形成された状態を示し、Bはシリコンを含有するフォトレジスト層に対するブレイクスルーエッチングを示している。

【図3】フォトレジスト材料の上にパターンを形成する従来の表面パターンニング技術説明断面図であり、図2の後の工程を示し、その中、Aは基板の上のフォトレジスト層に対するメインエッチング工程を示し、Bは基板の上のフォトレジスト層に対するオーバーエッチング工程を示す。

【図4】本発明の方法説明断面図であり、その中、Aは基板上にフォトレジスト層が形成されフォトレジスト層上にシリコンを含有するフォトレジスト層が形成された状態を示し、Bはシリコンを含有するフォトレジスト層に対するブレイクスルーエッチング工程を示し、Cはシリコンを含有するフォトレジスト層に対するオーバーブ

レークスルーエッチング工程を示す。

【図5】本発明の図4に続く方法説明断面図であり、その中、Aは基板上のフォトレジスト層に対するメインエッチング工程を示し、Bは基板上のフォトレジスト層に対するオーバーエッチング工程を示している。

【図6】本発明によるフォトレジスト層のエッチング曲線表示図であり、このエッチング曲線はフォトレジストの曲線と、フォトレジストのメインエッチングの後の曲線、及びフォトレジストのオーバーエッチング後の曲線を包括している。

【符号の説明】

- 100 基板
- 200 フォトレジスト層
- 240 シリコンを含有するフォトレジスト層
- 10 基板
- 20 フォトレジスト
- 30 フォトマスク
- 24 露光フォトレジスト
- 28 シリコンを含有するフォトレジスト層